



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0042420
Application Number

출원년월일 : 2003년 06월 27일
Date of Application JUN 27, 2003

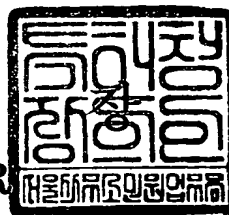
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0018
【제출일자】 2003.06.27
【발명의 명칭】 반도체 소자의 소자분리막 형성방법
【발명의 영문명칭】 Method of forming device's isolation layer in semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 동차덕
【성명의 영문표기】 DONG, Cha Deok
【주민등록번호】 720328-1168041
【우편번호】 467-040
【주소】 경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 13 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 본 발명의 사상은 반도체 기판 표면에 문턱전압 조절을 위한 이온주입을 실시하는 단계; 상기 반도체기판 상에 사진식각 공정을 수행하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계; 상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽산화막을 형성하는 산화공정을 수행하는 단계; 상기 산화공정으로 인해 상기 활성영역에서 상기 측벽산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 활성영역에 이온주입을 실시하는 단계; 및 상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함한다. 따라서 상기 트렌치에 측벽산화막을 형성하는 산화공정이 수행하는 온도를 낮추고, 상기 산화공정시 측벽산화막으로 확산된 이온을 보충하기 위한 이온주입공정을 수행함으로써, 문턱전압 조절용이온이 형성된 영역의 이온농도분포를 일정하게 하여 소자의 성능이 개선될 수 있다.

【대표도】

도 4

【색인어】

소자분리막, 측벽산화막

【명세서】**【발명의 명칭】**

반도체 소자의 소자분리막 형성방법{Method of forming device's isolation layer in semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 5는 본 발명의 바람직한 일 실시예인 반도체소자의 소자분리막 형성방법을 설명하기 위한 단면도들이다.

도면의 주요부분에 대한 부호의 설명

10: 반도체기판 11: 스크린산화막

12: 게이트산화막 14: 폴리실리콘막

16: 패드질화막 18: 측벽산화막

20: 소자분리막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체소자의 소자분리막 형성방법에 관한 것이다.

- <8> 일반적인 반도체소자의 소자분리막 형성공정은, 반도체기판의 소정영역에 소자분리막 형성용 포토레지스트 패턴을 형성하고 이 패턴을 식각마스크로 식각공정을 수행하여 트렌치를 형성한다. 이때 상기 식각공정에 대해 발생한 식각손상을 보상하고, 트렌치 상부 또는 바닥모서리의 라운딩(rounding)처리 및 상기 트렌치 내부에 매립될 산화막의 접착력을 증대시키기 위해, 상기 형성된 트렌치 측벽에 측벽산화막을 형성하는 산화공정을 수행한다.
- <9> 이때 상기 반도체기판에는 상기 소자분리막 형성공정 이전에 이온주입공정을 통해 문턱전압 조절을 위한 이온주입을 실시하는 데, 상기 산화공정으로 인해 상기 문턱전압 조절을 위한 이온주입시 주입된 이온들은 상기 측벽산화막으로 확산하는 현상이 발생한다.
- <10> 따라서 상기 문턱전압 조절을 위한 이온이 주입된 영역에서 측벽산화막으로 확산된 이온으로 인해, 문턱전압 조절을 위한 이온이 주입된 영역은 불균일한 이온농도분포를 가지게 된다. 따라서 상기 불균일한 이온농도분포는 험프(hump)현상을 초래하게 하고, 이는 문턱전압이 낮아지는 역좁은 채널폭효과(inverse narrow width effect)를 발생시켜 소자의 성능을 저하시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 상술한 문제점을 해결하기 위한 본 발명의 목적은 문턱전압 조절을 위한 이온이 주입된 영역의 이온농도분포를 일정하게 하여 소자의 성능을 향상시킬 수 있도록 하는 반도체소자의 소자분리막 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <12> 상술한 목적을 달성하기 위한 본 발명의 사상은 반도체기판 표면에 문턱전압 조절을 위한 이온주입을 실시하는 단계; 상기 반도체기판 상에 사진식각공정을 수행하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계; 상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽산화막을 형성하는 산화공정을 수행하는 단계; 상기 산화공정으로 인해 상기 활성영역에서 상기 측벽산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 활성영역에 이온주입을 실시하는 단계; 및 상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함한다.
- <13> 상기 측벽산화막은 상기 트렌치 형성시 트렌치 상부 또는 바닥모서리의 라운딩(rounding)처리를 하면서 동시에 상기 트렌치 내부에 매립될 산화막의 접착력을 증대시키기 위해 형성하고, 50~ 100 Å 정도의 두께로 형성하는 것이 바람직하다.
- <14> 상기 산화공정은 800~ 950℃ 정도의 온도 범위내에서 건식산화방식에 의해 수행하는 것이 바람직하다.
- <15> 상기 산화공정 후 활성영역에 수행하는 이온주입공정은 10~ 25Kev의 에너지대역에서 $1E11 \sim 1E12 \text{ ion/cm}^2$ 의 도즈로 수행하는 것이 바람직하다.
- <16> 상기 문턱전압 조절을 위해 주입되는 이온은 보론을 이용하는 것이 바람직하다.
- <17> 이하, 첨부 도면을 참조하여 본 발명의 실시 예를 상세히 설명한다. 그러나, 본 발명의 실시 예들은 여러 가지 다른 형태로 변형될 수 있지만 본 발명의 범위가 아래에서 상술하는 실시 예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시 예들은 당업계에 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해 제공되어지는

것이다. 따라서, 도면에서의 막의 두께 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다 또는 접촉하고 있다 라고 기재되는 경우에, 상기 어떤 막은 상기 다른 막 또는 반도체기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제 3의 막이 개재되어질 수도 있다.

- <18> 도 1 내지 도 5는 본 발명의 바람직한 일실시예에 관한 반도체소자의 소자분리막 형성방법을 설명하기 위한 단면도들이다.
- <19> 도 1을 참조하면, 반도체기판(10)상부 전면에서 스크린산화막(11)을 형성한다.
- <20> 상기 반도체기판(10)은 P형 트랜지스터가 형성되는 영역(이하는 'PMOS영역'이라 칭함) 및 N형 트랜지스터가 형성되는 영역(이하는 'NMOS영역'이라 칭함)으로 구분 정의되어 있다. 상기 스크린 산화막(미도시)은 이후 수행하는 이온주입공정에 대한 손실을 저하시키기 위한 버퍼층의 기능을 한다. 이때 스크린 산화막(미도시)은 약 700~ 900℃ 정도의 온도에서 50~ 70 Å 정도의 두께로, 습식 또는 건식산화방식으로 형성한다.
- <21> 이어서, 사진/식각공정을 이용하여 PMOS 및 NMOS 영역 각각에 웰영역 형성 및 문턱전압 조절을 위한 이온주입공정을 수행한다. 상기 도 1에는 NMOS영역에 형성된 문턱전압 조절을 위한 이온이 주입된 영역 즉, 활성영역(A)만이 도시되어 있다. 상기 PMOS영역의 문턱전압 조절을 위한 이온주입 도펀트는 비소(As)나 인(P)을 이용하고, NMOS영역의 문턱전압 조절을 위한 이온주입 도펀트는 보론(B)을 이용한다. 이어서, 상기 스크린 산화막(11)을 식각공정을 통해 제거한다.

- <22> 도 2를 참조하면, 상기 공정이 완료된 반도체기판(10) 상부 전면에 게이트 산화막(12), 폴리실리콘막(14) 및 패드질화막(16)을 순차적으로 형성한다.
- <23> 상기 게이트산화막(12)은 750~ 850℃ 정도의 온도범위 내에서 건식 또는 습식산화공정을 진행한 후 900~ 910℃ 정도의 온도범위에서 N₂가스를 이용하여 20~ 30분간 어닐링공정을 수행하여 500~ 700Å 정도의 두께로 형성할 수 있다.
- <24> 상기 폴리실리콘막(14)은 500~ 550℃ 정도의 온도범위에서 약 0.1~ 3 torr의 압력, SiH₄ 또는 Si₂H₆과 같은 Si 소스 가스와 PH₃ 가스분위기에서 도프트 비정질실리콘(doped Poly Silicon)막을 250~ 500Å 정도의 두께로 형성할 수 있다.
- <25> 또한, 패드질화막(16)은 저압화학기상증착(low pressure chemical vapor deposition: 이하 'LP- CVD'이라 칭함)법에 의해 900~ 2000Å 정도의 두께로 형성할 수 있다.
- <26> 도 3을 참조하면, 상기 결과물 상부에 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴(미도시)을 식각마스크로 식각공정을 수행하여 소자분리 영역을 정의하는 트렌치(T)를 형성한다.
- <27> 상기 트렌치(T)를 형성함에 있어서 상기 반도체기판(10)은 75 내지 85° 정도의 특정한 기울기를 갖도록 식각을 수행한다.
- <28> 도 4를 참조하면, 상기 트렌치(T) 측벽에 산화공정을 통해 측벽산화막(18)을 형성한다. 이 측벽산화막(18)은 상기 트렌치(T) 형성을 위한 식각시 측벽에 대해 발생하는 식각손상을 보상하고, 트렌치(T) 상부 또는 바닥모서리의 라운딩(rounding)처리 및 상기 트렌치(T) 내부가 매립될 산화막의 접착력을 증대시키기 위해 형성한다. 이때, 상기 측벽산화막(18)은 약 800~ 9500℃ 정도의 온도범위내에서 건식산화방식에 의해 50~ 100Å 정도의 두께로 형성할 수 있다.

종래기술에서의 측벽산화막 형성을 위한 산화공정시 1000~1150℃ 정도의 온도에서 수행하였는데, NMOS영역에 형성된 문턱전압 조절을 위해 주입된 보론이온이 상기 측벽산화막(18)으로 확산하여 문턱전압 조절을 위한 이온의 농도를 떨어지게 하였다. 따라서 본 발명에서는 800~950℃ 정도로 낮추어 상기 문턱전압 조절을 위해 주입된 보론이온이 측벽산화막(18)으로 확산하는 것을 다소 줄일 수 있게 되었다.

<29> 도 5를 참조하면, 상기 산화공정을 통해 활성영역(A)에서 측벽산화막(18)으로 확산된 보론이온을 보충하기 위해, 상기 결과물에 형성된 활성영역(A)에 이온주입공정을 수행한다. 상기 낮아진 산화공정의 온도로 인해 확산되는 보론이온의 양은 감소하였지만, 완전한 보론이온의 확산은 제한하기 어렵기 때문에, 상기 산화공정으로 인해 확산된 보론 이온의 농도를 보충하기 위해 상기 활성영역에 이온주입공정을 수행한다. 이때의 이온주입공정은 10~ 25 Kev의 에너지 대역에서 $1E11 \sim 1E12 \text{ ion/cm}^2$ 의 도즈로 수행할 수 있다. 상기 패드질화막(16)을 습식식각공정을 통해 제거하고, 상기 패드질화막(16)이 제거된 결과물의 트렌치(T) 내부에 갭필(gap fill)특성이 우수한 HDP(HighDensity plasma)산화막이 채워지도록 증착한 후 상기 폴리실리콘막(14)이 노출될 때까지 화학적 기계적 연마(chemical mechanical polishing: CMP)공정등의 평탄화공정을 수행하여 소자분리막(20)을 형성한다.

<30> 본 발명의 바람직한 일실시예에 따르면, 상기 트렌치에 측벽산화막을 형성하는 산화공정이 수행하는 온도를 낮추고, 상기 산화공정시 측벽산화막으로 확산된 이온을 보충하기 위한 이온주입공정을 수행함으로써, 문턱전압 조절을 위한 이온이 주입된 활성영역의 이온농도분포를 일정하게 하여 소자의 성능이 개선될 수 있다.

【발명의 효과】

- <31> 이상에서 살펴본 바와 같이 본 발명에 의하면, 상기 트렌치에 측벽산화막을 형성하는 산화공정이 수행하는 온도를 낮추고, 상기 산화공정시 측벽산화막으로 확산된 이온을 보충하기 위한 이온주입공정을 수행함으로써, 문턱전압 조절을 위한 이온이 주입된 활성영역의 이온농도 분포를 일정하게 하여 소자의 성능이 개선될 수 있는 효과가 있다.
- <32> 본 발명은 구체적인 실시예에 대해서만 상세히 설명하였지만 본 발명의 기술적 사상의 범위 내에서 변형이나 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경은 본 발명의 특허청구범위에 속한다 할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판 표면에 문턱전압 조절을 위한 이온주입을 실시하는 단계;

상기 반도체기판 상에 사진식각공정을 수행하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계;

상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽산화막을 형성하는 산화공정을 수행하는 단계;

상기 산화공정으로 인해 상기 활성영역에서 상기 측벽산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 활성영역에 이온주입을 실시하는 단계; 및

상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법.

【청구항 2】

제1 항에 있어서, 상기 측벽산화막은

상기 트렌치 형성시 트렌치 상부 또는 바닥모서리의 라운딩(rounding)처리를 하면서 동시에 상기 트렌치 내부에 매립될 산화막의 접착력을 증대시키기 위해 형성하고, 50~ 100Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【청구항 3】

제1 항에 있어서, 상기 산화공정은

800~ 950℃ 정도의 온도 범위내에서 건식산화방식에 의해 수행하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【청구항 4】

제1 항에 있어서, 상기 산화공정 후 활성영역에 수행하는 이온주입공정은

10~ 25Kev의 에너지대역에서 $1E11 \sim 1E12 \text{ ion/cm}^2$ 의 도즈로 수행하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

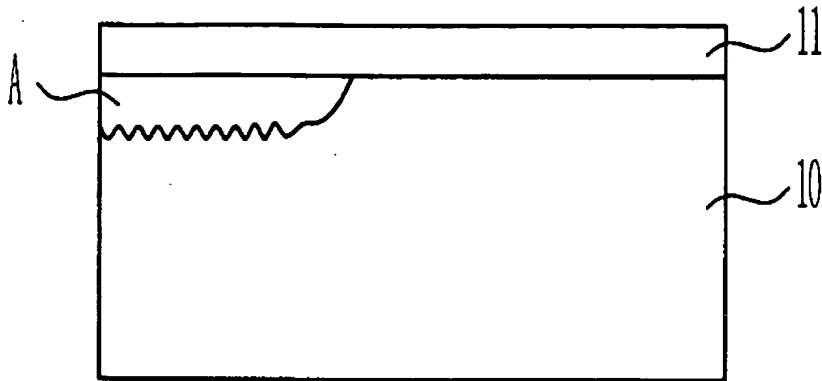
【청구항 5】

제1 항에 있어서, 상기 문턱전압 조절을 위해 주입되는 이온은

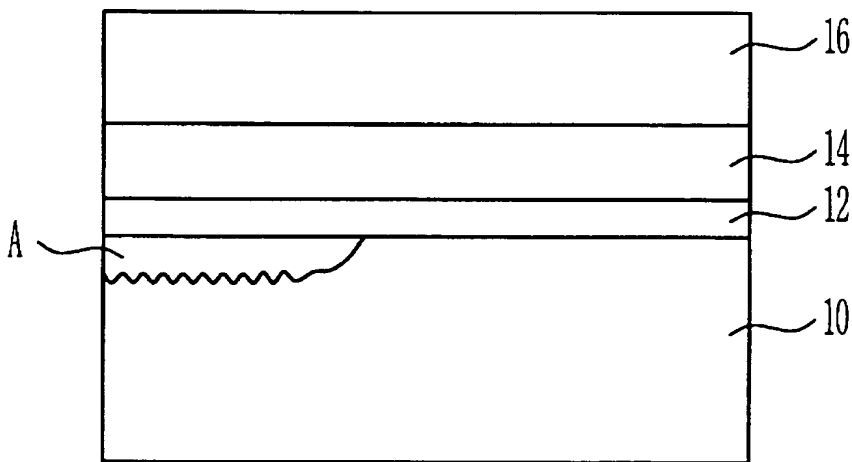
보론을 이용하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【도면】

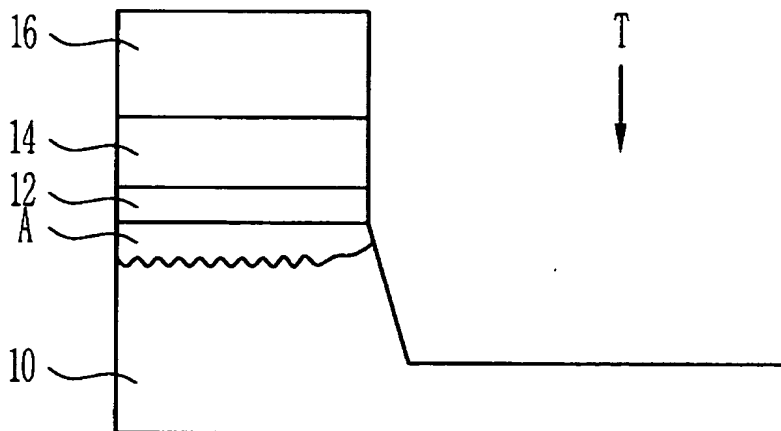
【도 1】



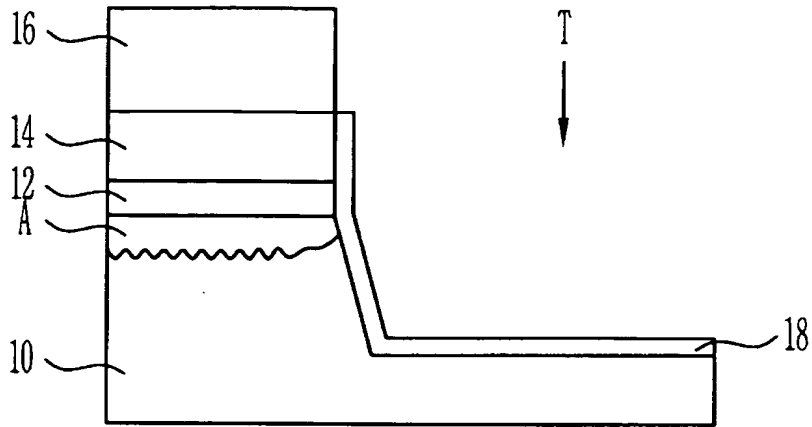
【도 2】



【도 3】



【도 4】



【도 5】

